

Metodología de optimización para LNA de cancelación de ruido y distorsión

Antonio Dionisio Martínez Pérez¹, Cecilia Gimeno², Denis Flandre²,
Francisco Aznar³, Guillermo Royo¹, Carlos Sánchez Azqueta¹, Santiago Celma¹

¹ Grupo de Diseño Electrónico (GDE)

Instituto de Investigación en Ingeniería de Aragón (I3A)

Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.

Tel. +34-976762707, e-mail: adimar@unizar.es

²CTEAM, Université Catholique du Louvain (UCL), Bélgica

³Centro Universitario de la Defensa, Zaragoza

Resumen

Este trabajo propone una metodología para la optimización de amplificadores de bajo ruido (LNA). El sistema propuesto proporciona una mejor información al diseñador acerca de los compromisos entre las especificaciones deseadas y las variables que puede modificar. Se ha realizado un diseño en tecnología CMOS de 45 nm para la comprobación del método.

Introducción

Los amplificadores de bajo ruido (LNA) son una etapa clave en los receptores, siendo capaces de amplificar la reducida señal entrante sin causarle una gran degradación por añadirle ruido. Dadas las dificultades de integrar inductores, en tecnologías CMOS nanométricas, se suele recurrir a topologías que no requieran de ellos. Entre estas, destacan las basadas en cancelación de ruido por fuente común-puerta común (CS-CG).

En este trabajo se presenta una metodología para optimizar un CS-CG LNA en términos de linealidad (IIP3), figura de ruido (NF), adaptación a la entrada (S_{11}), ganancia (G), potencia (P) y frecuencia de corte (f_c).

Topología CS-CG

Esta topología (ver Fig. 1) está formada por dos amplificadores de signo opuesto que actúan la misma señal: una etapa de puerta común (CG), con ganancia positiva y la capacidad de presentar una baja impedancia a la entrada para adaptar a la antena o etapa anterior; y una etapa de fuente común (CS) que posee ganancia negativa y menor ruido, pero presenta una alta impedancia de entrada. Esto permite combinar sus salidas como una señal diferencial.

Además, virtualmente, esta combinación provoca que una idéntica ganancia entre ambas ramas cancele el ruido y la distorsión causados por la rama CG. No obstante, los mismos parámetros que definen las ganancias, afectan también a otras de las especificaciones esenciales de un LNA, como el S_{11} , el IIP3 o incluso la NF, por parte del ruido de CS. Además, efectos parásitos y otras no idealidades añaden nuevos términos que hacen que las respuestas reales se alejen de la situación ideal.

Metodología propuesta

Para optimizar, por tanto, no basta con mantener la relación de ganancias. Es necesario, también, considerar en la misma el impacto sobre todas las especificaciones y los efectos de las no idealidades. Para ello, definimos dos variables principales (la anchura de cada transistor) que controlan la ganancia de ambas etapas, y un punto de operación, descrito por el resto de variables, esto es, resistencias y tensiones de polarización.

Los transistores de CG y CS se polarizan en inversión fuerte y débil, respectivamente. Por su parte, las resistencias, inicialmente, se escogen: R_B entre 10 y 20 veces mayor que R_S , para no influir en la impedancia de entrada; R_{CG} entre 4 y 8 veces mayor que R_S para proporcionar suficiente ganancia a la etapa; y R_{CS} debe ser mayor que R_S para favorecer la ganancia, pero menor que R_{CG} para optimizar en NF.

Seleccionado un punto de operación, puede representarse gráficamente las restricciones de especificaciones como isocurvas frente a las variables principales. Por tanto, la ventana posible de diseño en dichas gráficas es el área comprendida entre las especificaciones más restrictivas para dicho punto de operación. Por otro lado, esta ventana puede modificarse cambiando las variables que definen el punto de operación.

Este trabajo ha sido parcialmente subvencionado por MINECO – FEDER: TEC2014-52840-R y TEC2017-85867-R

En la Fig. 2 se observan las restricciones para el punto de operación inicial. Se aprecia como el IIP3 y la NF resultan casi excluyentes entre sí, y que la otra limitación es la f_c . La ventana de diseño queda comprendida en torno a $W_{CG} = 70 \mu m$ y $W_{CS} = 115 \mu m$. No obstante, si se modifica el punto de operación (Fig. 3), podremos ampliar la ventana, y así conseguir un diseño con mejores especificaciones y más robusto ante variaciones en los componentes. En este caso, el centro de la ventana queda alrededor de $W_{CG} = 60 \mu m$ y $W_{CS} = 140 \mu m$, siendo más limitante en este caso el S_{11} que el IPP3.

En la tabla 1, se presenta un diseño de LNA implementado en tecnología SOI CMOS de 45 nm.

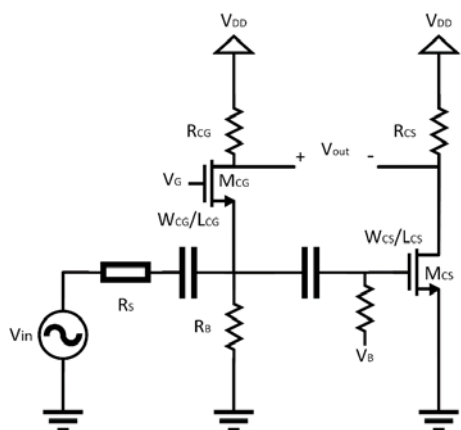


Fig. 1 Esquemático de un LNA con topología CG-CS

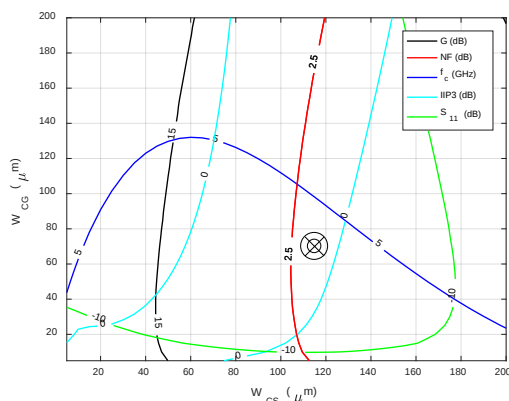


Fig. 2 Ventana de diseño en el punto de operación inicial.

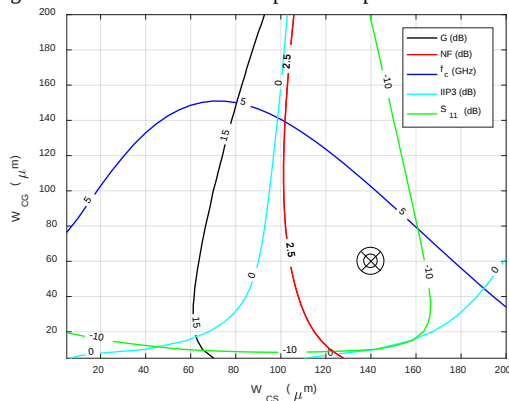


Fig. 3 Ventana de diseño en el punto de operación final

Además, se incluyen diseños de los últimos años de la misma topología en tecnologías similares realizados por otros autores mediante otras metodologías.

Conclusiones

En este trabajo se propone una metodología de diseño para optimizar LNAs basados en topología de cancelación de ruido y distorsión. La metodología proporciona al diseñador el tamaño más adecuado de los componentes para unas especificaciones finales dadas, así como información sobre cuáles son los parámetros más limitantes y cómo de fiable es el diseño frente a variaciones. Además, se presenta un diseño de LNA efectuado en una tecnología moderna en el estado del arte, obteniéndose unos resultados muy competitivos.

La versión completa de este trabajo ha sido aceptada para su presentación en el SMACD 2019 (International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design) el próximo julio.

Tabla 1. Comparativa con otros LNA similares

	Este trabajo	[1]	[2]	[3]
Tecnología CMOS	45 nm SOI	28 nm FDSOI	65 nm	65 nm
NF	2.5 dB	3.1 dB	3.5 dB	5 dB
IIP3	1 dBm	4.2 dBm	0 dBm	2 dBm
S_{11}	-12 dB	-	-10 dB	-6 dB
f_c	6.2 GHz	11 GHz	5.2 GHz	7 GHz
G	16.8 dB	15 dB	15.6 dB	20 dB
P	3.75 mW	1.8 mW	14 mW	3.84 mW

REFERENCIAS

- [1]. De STREEL, G., FLANDRE, D., DEHOLLAIN, C. and BOL, D., Towards ultra-low-voltage wideband noise-cancelling LNAs in 28nm, 2015 IEEE SOI 3D Subthreshold Microelectronics Technology Unified Conference (S3S), 2015, pp-1-2
- [2]. BLAAKMEER, S. C., KLUMPERINK, E. A. M., LEENAERTS, D. M. W. and B. NAUTA, B. Wideband Balun-LNA With Simultaneous Output Balancing, Noise-Canceling and Distortion-Canceling, *IEEE Journal of Solid-State Circuits*, vol. 43, no. 6, June 2008, pp. 1341-1350.
- [3]. CHEN, T., RODRIGUEZ, S., AKERMAN, J., and RUSU, A. An inductorless wideband Balun-LNA for spin torque oscillator-based field sensing, *2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 2014
- [4]. MARTINEZ-PEREZ, A.D., GIMENO, C., FLANDRE, D., AZNAR, F., ROYO, G., and CELMA, S. Methodology for Performance Optimization in Noise- and Distortion-Canceling LNA, *International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, 2019